

省電力性能世界最高のキャッシュメモリを実現するノーマリーオフ技術を開発 —従来比で消費電力 10 分の 1 以下を達成—

平成 28 年 2 月 1 日

1. 発表者：

中村 宏（東京大学大学院情報理工学系研究科システム情報学専攻 教授）
中田 尚（東京大学大学院情報理工学系研究科システム情報学専攻 助教）
有間 英志（東京大学大学院情報理工学系研究科システム情報学専攻 博士課程）

2. 発表のポイント：

- ◆世界最高の省電力性能を有するキャッシュメモリを不揮発性メモリで実現するためのノーマリーオフ技術を開発しました。
- ◆不揮発性メモリをキャッシュメモリとして高速に動作させる場合にはメモリ制御回路部の消費電力が大きくなります。メモリ制御回路部の電源供給を遮断するノーマリーオフ技術を新規に開発することでこの問題を解決しました。
- ◆キャッシュメモリは、スマートフォンからデータセンターサーバまで、幅広い情報機器の半導体で用いられています。開発した技術はこれらの情報機器の消費電力を低減し、社会全体の省エネルギーに寄与します。

3. 発表概要：

IoT（Internet of Things）、スマートフォン、データセンターサーバといった情報機器の広範囲な普及により、半導体の消費電力、特に半導体が搭載するメモリの消費電力が問題となっています。キャッシュメモリとして利用されている揮発性メモリ（SRAM）は、データ保持のために電力を消費しますが、搭載されるメモリ素子の微細化とメモリ容量の増大に伴い、この電力は増大します。そのため、データ保持のための電力を消費しない不揮発性メモリを採用することへの期待が高まっています。しかし、メモリアクセス（データの読み書き）を制御する回路（メモリ制御回路部）において漏れ電流（リーク電流）に起因する消費電力が大きいため、新しい不揮発性メモリを開発しデータの読み書きに要する電力を削減してもキャッシュメモリ全体としての消費電力は十分に小さくなりませんでした。

東京大学大学院情報理工学系研究科の中村宏教授らの研究グループは、メモリ制御回路部の電源供給を遮断するノーマリーオフ（注1）技術を新規に開発することでこの問題を解決しました。電源供給を遮断するとメモリアクセスができなくなりますが、電源供給をより長く遮断することで消費電力をより削減できます。そのため、動作中に将来のメモリアクセスパターンを正確に予測するアルゴリズムを開発することで、アクセスがしばらくないと判断したら即座に電源を遮断しメモリ制御回路部のノーマリーオフ動作を実現します。

このノーマリーオフ技術を、（株）東芝がキャッシュメモリ向けに新しく開発した 65nm 世代のシリコントランジスタに混載した 4Mb クラスの磁性体メモリ STT-MRAM（注2）回路に適用しました（図1）。その結果、このキャッシュメモリは従来の揮発性メモリ（SRAM）を用いたキャッシュメモリと比較して消費電力が 1/10 以下となりました（図2）。これは、キャ

ッシュメモリとして世界最高の省電力性能となります。この研究成果により、幅広い情報機器の消費電力を低減し、社会全体の省エネルギー化が期待できます。

本研究成果の詳細は、米国サンフランシスコで開催される半導体回路国際会議(ISSCC)にて、2016年2月2日(現地時間)に発表します。

4. 発表内容：

情報機器の高性能化と広範囲な普及により、情報機器が消費する電力は増加の一途をたどっており、その消費電力を削減することは社会全体の省エネルギー化にとって重要な課題です。近年はスマートフォンからデータセンターサーバまで幅広い情報機器で高い性能が求められますが、これらの情報機器で用いられる半導体が搭載するキャッシュメモリの容量は増大しており、その消費電力を削減することは重要です。

現在は高速な揮発性メモリであるSRAMがキャッシュメモリとして利用されています。揮発性メモリは、メモリアクセス(データの読み書き)とデータ保持のために電力を消費します。メモリアクセスのための電力はダイナミック電力と言われ、これはメモリ素子の微細化により減少します。一方、データ保持のための電力は、漏れ電流(リーク電流)に起因するリーク電力であり、これは搭載されるメモリ素子の微細化とメモリ容量の増大に伴い増大します。そのため、データ保持のための電力を消費しない不揮発性メモリを採用することへの期待が高まっています。しかし、不揮発性メモリには課題がありました。

一つはメモリ素子の課題であり、アクセス速度が遅く、アクセス時(特にデータの書き込み時)の消費電力(ダイナミック電力)も大きいというものです。高速動作が要求されるキャッシュメモリではこの課題の克服は必須です。この課題に対しては素子レベルの技術開発が活発に行われてきました。磁性体メモリSTT-MRAMは不揮発性メモリの中では比較的動作速度が速く、SRAMと同等のアクセス速度を持つ素子も近年開発されています。(株)東芝は、STT-MRAM微細化等により困難とされるアクセス時の消費電力を削減する最先端の技術開発に成功してきました。

もう一つの課題は、メモリアクセス(データの読み書き)を制御する回路(メモリ制御回路部)の課題です。メモリ制御回路では漏れ電流(リーク電流)に起因する消費電力が大きいため、新しい不揮発性メモリを開発しメモリアクセス(データの読み書き)に要する電力を削減してもキャッシュメモリ全体としての消費電力は十分に小さくなりませんでした。特にメモリへの高速なアクセスを実現しようとすると、メモリ制御回路の漏れ電流は大きくなります。

東京大学大学院情報理工学系研究科の中村宏教授らの研究グループは、メモリ制御回路部の電源供給を遮断するノーマリーオフ技術を開発することで、メモリ制御回路部におけるこの問題を解決しました。これはメモリ素子の技術ではなく、メモリ制御回路部の電源遮断の機会を最大化するコンピューティング技術です。メモリ制御回路部の電源供給を遮断しているときにメモリアクセスがあると、電源供給を再開し回路が安定するまでのメモリアクセスが待たされて動作が遅くなりますし、電源供給を再開するために余分な電力を消費します。そのため頻繁な電源遮断は性能面でも電力面でも逆効果です。一方、電源供給をより長く遮断すればより多くの消費電力を削減できます。そこで、将来のメモリアクセスを正確に予測するアルゴリズムを開発しました。このアルゴリズムは過去のメモリアクセスパターンから将来のメモリアクセスを予測するのですが、この予測を実現するハードウェアの消費電力が大きいと電力削減効果が小さくなります。そこで、非常に簡単なハードウェアでこの予測を実現する回路構成も明らかにすることで、アクセスがしばらくないと判断したら即座に電源を遮断し、真に動作すべき時以外は電源を積極的に遮断するノーマリーオフ動作(図3)をメモリ制御回路部で実現しました。

このノーマリーオフ技術を、(株)東芝がキャッシュメモリ向けに新しく開発した 65nm 世代のシリコントランジスタに混載した 4Mb クラスの磁性体メモリ STT-MRAM 回路に適用しました(図1)。その結果、このキャッシュメモリは従来の揮発性メモリ (SRAM) を用いたキャッシュメモリと比較して消費電力が 1/10 以下となりました(図2)。これは、キャッシュメモリとして世界最高の省電力性能となります。中村宏教授らの研究グループが開発したノーマリーオフ技術は、2015年時点の STT-MRAM を用いたキャッシュメモリと比較して、リーク電力を約 1/4 に削減することに成功しました(図2★)。この成果と(株)東芝が開発した STT-MRAM 回路の省電力性能とを合わせて、省電力性能世界最高のキャッシュメモリを実現しました。

この成果はキャッシュメモリを搭載する情報機器に広く適用可能なもので、幅広い情報機器の消費電力を低減し、社会全体の省エネルギー化が期待されます。

今回開発したノーマリーオフ技術は、(株)東芝と共同で、NEDO ノーマリーオフコンピューティング基盤技術開発プロジェクト(注3)として進められています。本研究グループはより広範囲な情報機器に対しノーマリーオフ技術を開発し適用することで、社会全体の省エネルギー化を目指します。

5. 参考：

ISSCC2016 (International Solid-State Circuits Conference)

4Mb STT-MRAM-Based Cache with Memory-Access-Aware Power Optimization and Write-Verify-Write / Read-Modify-Write Scheme

Hiroki Noguchi(Toshiba)*, Kazutaka Ikegami(Toshiba), Satoshi Takaya(Toshiba), Eishi Arima(UTokyo), Keiichi Kushida(Toshiba), Atsushi Kawasumi(Toshiba), Hiroyuki Hara(Toshiba), Keiko Abe(Toshiba), Naoharu Shimomura(Toshiba), Junichi Ito(Toshiba), Shinobu Fujita(Toshiba)*, Takashi Nakada(UTokyo), Hiroshi Nakamura(UTokyo)*

6. 用語解説：

(注1) ノーマリーオフ：

システム内の真に動作すべき構成要素以外の電源を積極的に遮断することで低電力化を目指すこと。電源遮断をしてもシステム全体として動作を継続するためのシステムの状態やデータを忘れない不揮発性メモリなどのデバイス技術と、電源遮断の機会を最大化するためのコンピューティング技術の両方が必要となる。

(注2) STT-MRAM (Spin Transfer Torque-Magnetic Random Access Memory)：

電流書き込み方式 MTJ(Magnetic Tunnel Junction)の一方の強磁性電極から一定方向の電子スピンをもつ電流だけを通過させることで生じるスピントルクにより記憶層の磁化反転作用で書込を行う。このスピン注入磁化反転方式を磁気情報書き込みに応用したランダムアクセスメモリ。

(注3) NEDO「ノーマリーオフコンピューティング基盤技術開発」プロジェクト：

NEDO：国立研究開発法人 新エネルギー・産業技術総合開発機構

名称：ノーマリーオフコンピューティング基盤技術開発

期 間：2011～2015 年度

共同研究企業：ローム（株）、（株）東芝、ルネサスエレクトロニクス（株）

プロジェクトリーダー：東京大学大学院情報理工学系研究科教授 中村宏

URL: http://www.nedo.go.jp/activities/ZZJP_100016.html

7. 添付資料：

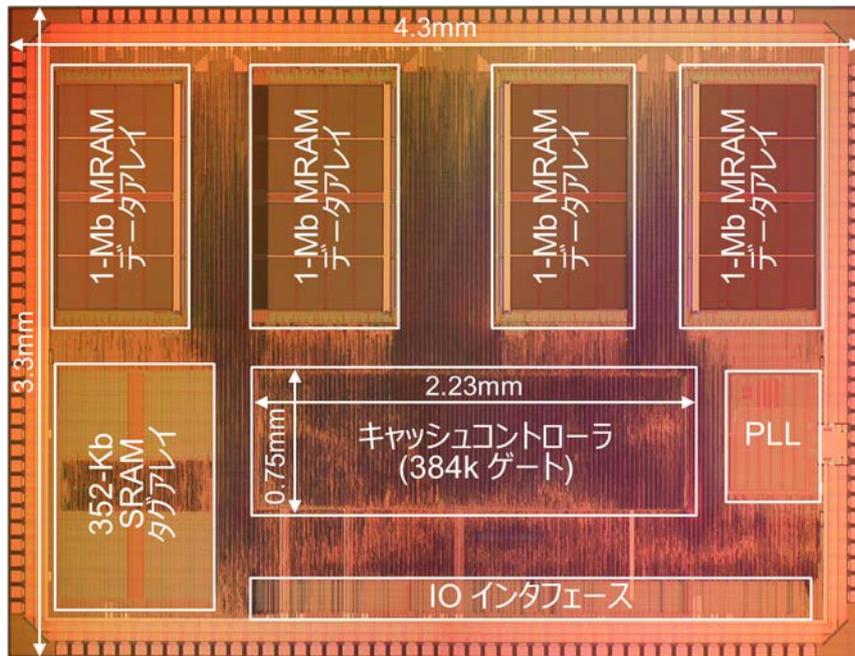
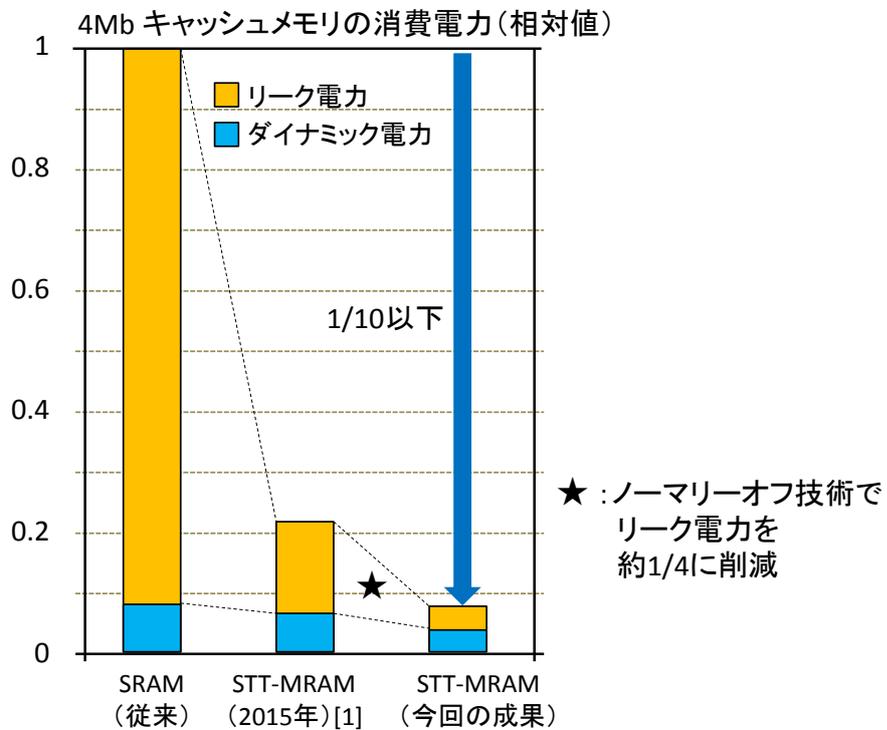


図 1：開発したキャッシュメモリ回路



[1] H. Noguchi et al., "A 3.3ns-access-time 71.2μW/MHz 1Mb embedded STTMRAM using physically eliminated read-disturb scheme and normally-off memory architecture," *ISSCC Dig. Tech. Papers*, pp. 136-137, Feb. 2015.

図 2：キャッシュメモリの消費電力

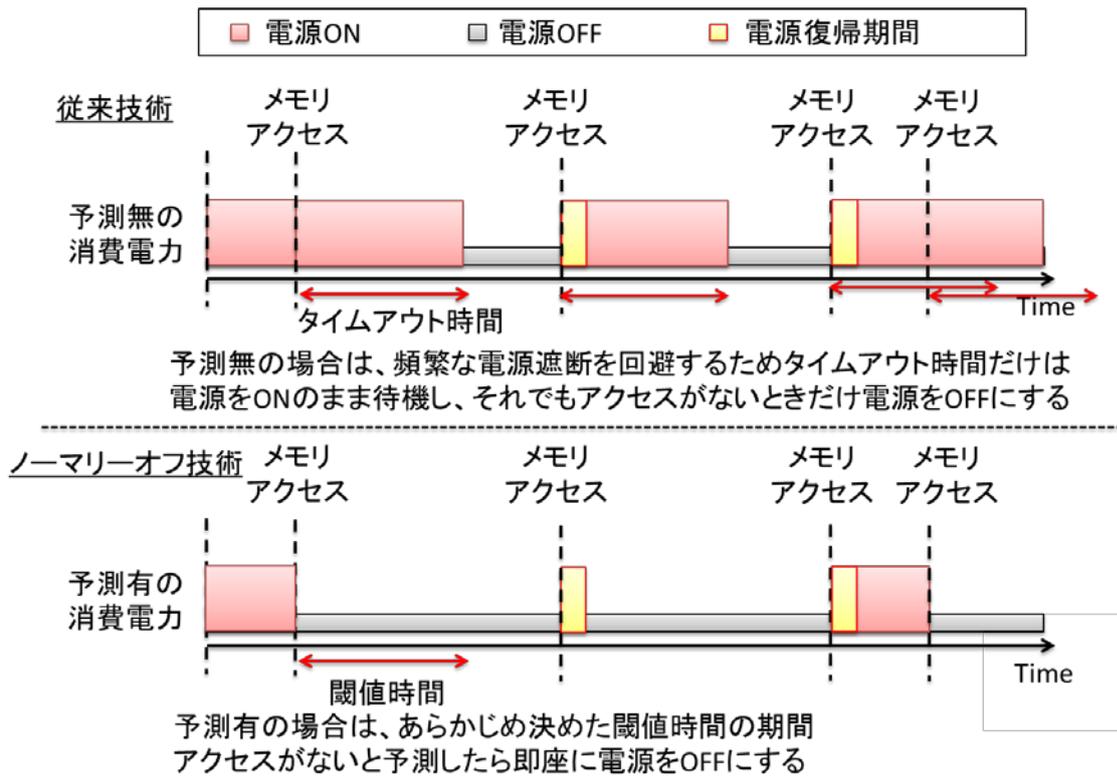


図3：開発したノーマリーオフ技術